

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Abstract for JP 06-214244

A substrate includes pixels in $m \times n$ matrix, an active element in pixels, driving means applying predetermined voltage waveform, an electric field parallel to a substrate in pixels, and controlling orientation of liquid crystal molecules by potential difference between a signal line during scanning and an adjacent scanning line in order to control light.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-214244

(43)公開日 平成6年(1994)8月5日

(51)IntCl.³

識別記号

庁内整理番号

F I

技術表示箇所

G 0 2 F 1/1343

8707-2K

1/137

9315-2K

G 0 9 G 3/36

7319-5G

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21)出願番号

特願平5-4664

(22)出願日

平成5年(1993)1月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三島 康之

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 津村 誠

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 近藤 克己

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

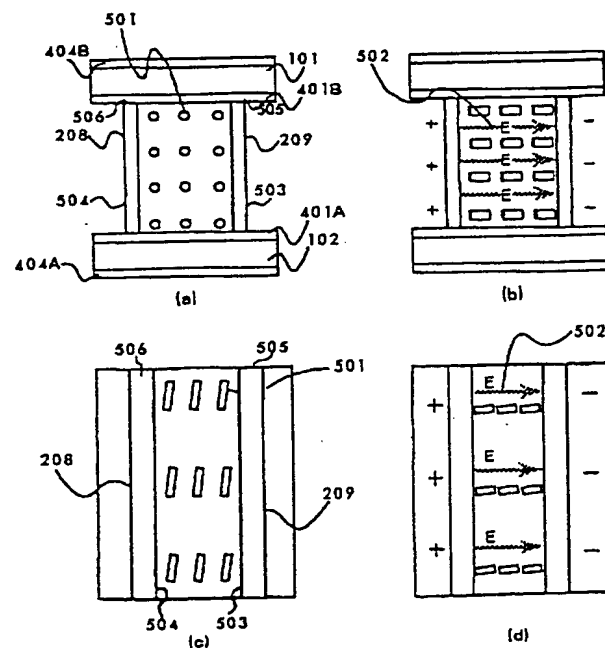
(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【目的】低コスト、視角特性が良好で、表示特性が良く多階調表示が容易といった特徴を有するアクティブマトリクス型液晶表示装置を得る。

【構成】 $m \times n$ 個のマトリクス状の画素と、画素内のアクティブ素子と、所定電圧波形を印加する駆動手段と、画素内に上下基板間のギャップを一定に保つ電極対を有し、かつ前記電極対間に基板面に平行な電界を印加することにより液晶分子の配向状態を制御し光を変調し得る所定構造を有する。

図 1



【特許請求の範囲】

【請求項1】絶縁基板上に配置された電極対間に電位差を設け、その電位差で発生した前記基板面に平行な電界によって液晶を駆動させる構造を持ち、かつ電極対間で電極近傍にある液晶を前記電極対を構成する電極の側壁面の形状により制御を行うことを特徴とする液晶表示装置。

【請求項2】絶縁基板上に配置された2つの電極対間に電位差を設け、その電位差で発生した前記基板面に平行な電界によって液晶を駆動させる構造を持つ液晶表示装置において少なくとも前記電極対を構成する一つの電極の基板面に対しての垂直方向の膜厚と、前記電極対に電圧を供給する電圧供給線の基板面に対しての垂直方向の膜厚とが異なることを特徴とする液晶表示装置。

【請求項3】前記電極対の少なくとも1つの電極の基板面に対して垂直方向への膜厚により前記基板ともう一枚の基板とを前記電極の膜厚と同じ一定のギャップを与えて張り合わせることを特徴とする請求項2項記載の液晶表示装置。

【請求項4】少なくとも1組以上の前記電極対で構成される電極群で構成されており、それぞれの電極対の片方の電極は同一の電圧信号線に接続され、残りの電極ももう一本の電圧信号線に共通に接続されていることを特徴とする請求項1項及び2項記載の液晶表示装置。

【請求項5】前記電極対の少なくとも1つの電極がアクティブ素子と接続されていることを特徴とする請求項4項記載の液晶表示装置。

【請求項6】前記電極対を構成するそれぞれの電極において、その形状は棒状で、かつその電極の長手方向は、もう一方の電極の長手方向と互いに平行であるように配置されたことを特徴とする請求項5項記載の液晶表示装置。

【請求項7】前記液晶表示装置において装置内の全て電極対において長手方向が互いに平行であること特徴とする請求項6項記載の液晶表示装置。

【請求項8】前記電極対の表面に前記液晶の配向を制御する配向制御膜が塗布されてないことを特徴とする請求項7項記載の液晶表示装置。

【請求項9】前記液晶表示装置において各電極対に挟まれた液晶が電極対の長手方向とほぼ平行になるよう配向されていることを特徴とする請求項8項記載の液晶表示装置。

【請求項10】前記液晶表示装置において、少なくとも一方が透明な一方の基板と前記基板対間に封入された液晶、前記基板の一方の上に m 本の走査線、 n 本の信号線と共通線、 $m \times n$ 個のマトリクス状の画素、及び前記各画素内に設けられたアクティブ素子、容量素子、前記電極対からなる液晶パネル、及び前記信号線と走査線と共通線に電圧を印加する手段とを備えたことを特徴とする請求項7項及び請求項9項記載の液晶表示装置。

2

【請求項11】前記画素内においてアクティブ素子が薄膜トランジスタであり、前記薄膜トランジスタのゲート電極が前記走査線に、ドレイン電極が前記信号線に、ソース電極が前記電極対の一方の電極（画素電極と称す）に接続され、さらにもう一つの電極（共通電極と称す）が共通線に、容量素子がソース電極と接続されており、各行毎の全ての画素が共通の走査線に接続され、各列毎の全ての画素が共通の信号線に接続され、各列毎の全ての共通電極が共通の共通線に接続され、ソース電極と前段の走査線との間に容量素子を設けていることを特徴とする請求項10項記載の液晶表示装置。

【請求項12】前記液晶表示装置において隣接する奇数列画素と偶数列画素の全ての共通電極を1本の共通線に接続を行うことを特徴とする請求項11項記載の液晶表示装置。

【請求項13】前記液晶表示装置において前記信号線を覆うように共通線を絶縁体を介して信号線配設位置に形成することを特徴とする請求項11項記載の液晶表示装置。

【請求項14】前記液晶表示装置において共通線の線幅が、信号線の線幅よりも広いことを特徴とする請求項13項記載の液晶表示装置。

【請求項15】前記液晶表示装置において少なくとも各共通線の少なくとも一方の先端と前記基板対を張り合わせるシール材との間に開口部を設けたことを特徴とする請求項14項記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示品質に優れたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】従来のアクティブマトリクス型液晶表示装置では、液晶層を駆動する電極としては2枚の基板界面上に形成し相対向させた透明電極を用いていた。これは、液晶に印加する電界の方向を基板界面にほぼ垂直な方向とすることで動作する、ツイストドネマティック表示方式を採用していることによる。一方液晶に印加する電界の方向を基板界面にほぼ平行な方向とする方式は、櫛型電極対を用いた方式が、例えば特開平1-120528号により提案されている。

【0003】

【発明が解決しようとする課題】しかし、前記の従来ツイストドネマティック表示方式を用いた技術においては、液晶に電圧を印加し、かつ、光を透過させる必要があるため、ITOに代表される透明電極を形成する必要がある。その為に、透明電極を形成するためのスパッタリング装置等の真空系製造設備が必要で、設備コストが巨額になっていた。また、真空系製造設備の使用は、スループットの低下を引き起こし、このことがアクティブマトリクス型液晶表示装置の製造コストを著しく引き

3

上げている。また、一般に透明電極はその表面に数10nm程度の凹凸があり、薄膜トランジスタのような微細なアクティブ素子の加工を困難にしている。さらに、透明電極の凸部はしばしば離脱し電極等の他の部分に混入し、点状或いは線状の表示欠陥を引き起こし、歩留まりを著しく低下させていた。これらの為に、マーケットニーズに対応した低価格の液晶表示装置を安定的に提供することが出来ずにいた。また、前記の従来技術においては、画質面でも多くの課題を有していた。特に、視角方向を変化させた際の輝度変化が著しく、中間調表示を困難にしていた。それに対して、基板面にほぼ平行な方向の電界を液晶に印加する方法は、マトリクス型表示装置に用いた場合、不要な電界の影響を受けやすく、クロストークが発生しやすいことから、従来の公知例においては、アクティブマトリクス型表示装置に用いた例はない。

【0004】本発明はこれらの課題を同時に、その目的とするところは、第一に、透くとも高コントラストで、低価格の設備で高で量産可能な低コストのアクティブマトリクス型液晶表示装置を提供することにある。第二に、視角特性が良好で多階調表示が容易であるアクティブマトリクス型液晶表示装置を提供することにある。第三に不要な電界の影響を受けにくく、クロストークが発生しないアクティブマトリクス型表示装置を提供することにある。

【0005】

【課題を解決するための手段】前記目的を達成するために、本発明は、第1の装置として、絶縁基板上に配置された電極対間に電位差を設け、その電位差で発生した前記基板面に平行な電界によって液晶を駆動させる構造を持ち、かつ電極対間で電極近傍にある液晶を前記電極対を構成する電極の側壁面の形状により制御を行うことを特徴とする液晶表示装置を構成した物である。

【0006】第2の装置として、絶縁基板上に配置された2つの電極対間に電位差を設け、その電位差で発生した前記基板面に平行な電界によって液晶を駆動させる構造を持つ液晶表示装置において少なくとも前記電極対を構成する一つの電極の基板面に対しての垂直方向の膜厚と、前記電極対に電圧を供給する電圧供給線の基板面に対しての垂直方向の膜厚とが異なることを特徴とする液晶表示装置を構成したものである。

【0007】第2の装置を含む第3の装置として前記電極対の少なくとも1つの電極の基板面に対して垂直方向への膜厚により前記基板ともう一枚の基板とを前記電極の膜厚と同じ一定のギャップを与えて張り合わせることを特徴とする液晶表示装置を構成したものである。

【0008】第1の装置、および第2の装置を含む第4の装置として、少なくとも1組以上の前記電極対で構成される電極群で構成されており、それぞれの電極対の片方の電極は同一の電圧信号線に接続され、残りの電極も

4

もう一本の電圧信号線に共通に接続されていることを特徴とする液晶表示装置を構成したものである。

【0009】第4の装置を含む第5の装置として前記電極対の少なくとも1つの電極がアクティブ素子と接続されていることを特徴とする液晶表示装置を構成したものである。

【0010】第5の装置を含む第6の装置として前記電極対を構成するそれぞれの電極において、その形状は棒状で、かつその電極の長手方向は、もう一方の電極の長手方向と互いに平行であるように配置されたことを特徴とする液晶表示装置を構成したものである。

【0011】第6の装置を含む第7の装置として前記液晶表示装置において装置内の全て電極対において長手方向が互いに平行であること特徴とする液晶表示装置を構成したものである。

【0012】第7の装置を含む第8の装置として前記電極対の液晶の配向を制御する配向制御膜が塗布されていることを特徴とする液晶表示装置を構成した

【0013】第8の装置を含む第9の装置として前記液晶表示装置において各電極対に挟まれた液晶が電極対の長手方向とほぼ平行になるよう配向されていることを特徴とする液晶表示装置を構成したものである。

【0014】第7の装置及び第9の装置を含む第10の装置として、少なくとも一方が透明な一对の基板と前記基板対間に封入された液晶、前記基板の一方の上にm本の走査線、n本の信号線とコモン線、 $m \times n$ 個のマトリクス状の画素、及び前記各画素内に設けられたアクティブ素子、容量素子、前記電極対からなる液晶パネル、及び前記信号線と走査線とコモン線に電圧を印加する手段とを備えたことを特徴とする液晶表示装置を構成したものである。

【0015】第10の装置を含む第11の装置として前記画素内においてアクティブ素子が薄膜トランジスタであり、前記薄膜トランジスタのゲート電極が前記走査線に、ドレイン電極が前記信号線に、ソース電極が前記電極対の一方の電極（画素電極と称す）に接続され、さらにもう一つの電極（コモン電極と称す）がコモン線に、容量素子がソース電極と接続されており、各行毎の全ての画素が共通の走査線に接続され、各列毎の全ての画素が共通の信号線に接続され、各列毎の全てのコモン電極が共通のコモン線に接続され、ソース電極と前段の走査線との間に容量素子を設けていることを特徴とする液晶表示装置を構成したものである。

【0016】第11の装置を含む第12の装置として前記液晶表示装置において隣接する奇数列画素と偶数列画素の全てのコモン電極を1本のコモン線に接続を行うことを特徴とする液晶表示装置を構成したものである。

【0017】第11の装置を含む第13の装置として前記液晶表示装置において前記信号線を覆うようにコモン

線を絶縁体を介して信号線配設位置に形成することを特徴とする液晶表示装置を構成したものである。

【0018】第13の装置を含む第14の装置として前記液晶表示装置においてコモン線の線幅が、信号線の線幅よりも広いことを特徴とする液晶表示装置を構成したものである。

【0019】第14の装置を含む第15の装置として前記液晶表示装置において少なくと各コモン線の少なくとも一方の先端と前記基板対を張り合わせるシール材と間に開口部を設けたことを特徴とする液晶表示装置を構成したものである。

【0020】

【作用】次に本発明の作用を図1を用いて説明する。

【0021】図1(a), (b)は本発明の液晶パネル内の液晶の動作を示す側断面を、図1(c), (d)はその平面図を表す。図1ではアクティブ素子を省略してある。また、電圧無印加時のセル側断面を図1(a)に、その時の平面図を図1(c)に示す。透明な一対の基板101, 102の内側は配向制御膜401A, 402Bが塗布及び配向処理されている。その上に線状の電極208, 209が形成されている。さらに前記基板間には液晶層210が挟持されている。ここで電極208, 209は主として各電極の長手方向の側壁面503, 504により、電極間の液晶に印加する電界を制御する構造をしている。例えば図5に示すように電極208, 209の基板面に対し垂直方向の膜厚を厚くし、側壁面503, 504が液晶層をはさみ込み、かつ側壁面503, 504とがほぼ平行になるような構造を図1の電極として使用する。これにより電極の上面部506, 505でなく側壁面503, 504によって両電極に挟まれた液晶層30 40 全域にほぼ基板面に平行な電界を印加することができる。また、図1には電極が2本しか示していないが、図2に示すように配線120に電極121を複数接続し配線122に電極123を複数接続したものを櫛型に配置した電極群を構成し各電極間に電界を印加するものでも良い。

【0022】電界液晶層中の棒状の液晶分子501は、電界無印加時にはストライプ状の電極の長手方向に対して若干の角度、即ち45度 \leq |電界方向に対する界面近傍での液晶分子長軸(光学軸)方向のなす角|<90度、をもつように配向されている。上下界面上での液晶分子配向方向はここでは平行を例に説明する。

【0023】電界502を印加すると図1(b), (d)に示したように電界方向に液晶分子がその向きを変える。偏光板404A, 404Bの偏光透過軸を所定角度、に配置することで電界印加によって光透過率を変えることが可能となる。したがって、光を電極の間を透過し変調されるので、電極は透明でなくとも良い。このように、本発明によれば透明電極がなくともコントラストを与える表示が可能となる。コントラストを付与する具体

的構成としては、上下基板上的液晶分子配向がほぼ平行な状態を利用したモード(複屈折位相差による干渉色を利用するので、ここでは複屈折モードと呼ぶ)と、上下基板上的液晶分子配向方向が交差しセル内での分子配列がねじれた状態を利用したモード(液晶組成物層内で偏光面が回転する旋光性を利用するので、ここでは旋光性モードと呼ぶ)とがある。複屈折モードでは、電圧印加により分子長軸(光軸)方向が基板界面にほぼ平行なままの面内でその方位を変え、所定角度に設定された偏光板の軸とのなす角を変えて光透過率を変える。旋光性モードでも同様に電圧印加により分子長軸方向の方位のみを変えるが、こちらの場合には線がほどけることによる旋光性の変化を利用する。従来のTN型のように液晶分子長軸を基板界面に垂直に立ち上がらせる場合だと、複屈折位相差が0となる視角方向は正面即ち基板界面に垂直な方向のみであり、僅かでも傾斜すると複屈折位相差が現れる。ノーマリオープン型では光が漏れ、コントラストの低下や階調レベルの反転を引き起こす。

【0024】しかし、本発明の表示モードは従来のように電圧印加で複屈折位相差をほぼ0にすることで暗状態を得るものではなく、液晶分子長軸と偏光板の軸(吸収あるいは透過軸)とのなす角を変えるもので、根本的に異なる。

【0025】また、図3に示すように電極521, 522の基板面の上面523, 524によって電界を制御し、液晶を駆動する場合、液晶層には例えばE1, E2, E3に示すような電極近傍では基板面に対し垂直な方向を向く電界512が発生する。この電界512により電極近傍の液晶分子長軸は基板面に垂直な方向に立ち上がるため、その部分では、光漏れが発生しコントラストの低下が発生する。

【0026】本発明の表示モードでは電極間に挟まれた液晶分子の長軸は基板と常にほぼ平行であり、立ち上がることがなく、従って視角方向を変えた時の明るさの変化が小さいので、視角依存性がなく、視角特性が大幅に向上する。

【0027】この効果は図4に示すように電極514の側壁面525と電極520の上面部526とで両電極間の電界を制御する場合においても、本発明の効果が得られる。

【0028】さらに、側壁面により電界を制御する電極において、その電極の基板面に垂直方向の膜厚により基板101, 102のギャップを保持する構造にする。これにより、従来は上下基板のギャップを得るのにスペーサとして球形のポリマービーズを基板間に分散させることを行っていたが、基板内に均等に分散せず、基板内にギャップむらが発生することによって、表示時に輝度むらが発生していた。しかし、本発明によれば電極対をスペーサとして用いているため、基板内のギャップむらは発生せず、輝度むら等の不良表示を解消することができ

る。

【0029】

【実施例】本発明を実施例により具体的に説明する。

【0030】**【実施例1】**図6に本発明による液晶アクティブマトリクス表示装置の一実施例を示す等価回路を示している。基板102上に走査線104と信号線103がマトリクス状に配線され、走査線104と信号線103の各交点にはアクティブ素子を介して画素106が接続されている。走査線104と信号線103にはそれぞれ走査駆動回路108、信号駆動回路107に接続され各走査線または信号線に任意の電圧を印加できる。さらに、基板102信号線に平行にコモン線105を配設され全ての画素に接続されており、全画素にコモン電圧発生回路109からコモン電圧を印加できるようになっている。基板102と基板101間には液晶組成物が封入されており、全体として液晶アクティブマトリクス表示装置となっている。次に画素106の実施例を図7の平面図を用いて示す。走査線104A、104Bを水平方向に形成し、走査線と直交させ信号線103A、103Bを垂直方向に形成する。さらに信号線103A、103Bとに挟まれ、かつ平行にコモン線105を103Bに隣接させて形成する。またアクティブ素子用として設けられたアモルファスシリコン301を用いた薄膜トランジスタ素子211を形成し、そのゲート電極212を走査線104Aに接続し、ドレイン電極213を信号線103Aに接続し、ソース電極214を画素電極208に接続した（実際の駆動状態では、ドレインとして働くこともあるが、本実施例では、信号線に接続している電極をドレイン電極と定義し、画素電極に接続しているまたは画素電極になっている電極をソース電極と定義する）。

【0031】本実施例では、アクティブ素子としてアモルファスシリコン薄膜トランジスタ素子を形成して用いるが、他にポリシリコン薄膜トランジスタ素子、シリコンウエハ上のMOS型トランジスタ、またはMIM (Metal-Intrinsic-Metal) ダイオード等の2端子素子（厳密にはアクティブ素子ではないが、本発明ではアクティブ素子とする）を用いてもよい。

【0032】またソース電極214と走査線104Bの間に容量素子203を形成する。ここで、容量素子203は、ソース電極の信号によるノイズを吸収し、電位を定電位に保持するために設けている。さらにコモン電極209は画素電極208間には液晶層が挟持され全体として画素表示部202を形成し、コモン電極209はコモン線105と接続されている。

【0033】図8に図7中のA-A'の断面図を示す。基板102にゲート電極301を形成する。また走査線104A、104Bも同時に形成され走査線104Aはゲート電極301に接続されている。次にゲート絶縁膜402を例えば窒化シリコン等で形成する。そしてゲート絶縁膜402のゲート電極212に対向する部分には

例えば水素化アモルファスシリコンからなる半導体層301を形成しさらに半導体層301上には互いに電氣的に分離されたN型水素化アモルファスシリコンからなるオーミック層405A、405Bを設ける。次にソース電極214、ドレイン電極213及び信号線103A、103B、コモン線105を同時に形成した後、画素電極208及びコモン電極209を形成する。さらに窒化シリコン等の保護膜403、ポリイミド系の配向制御膜401Aを形成する。

10 【0034】ここで画素電極208及びコモン電極209の基板面に対して垂直方向の膜厚は少なくともどちらか一方がソース電極214、ドレイン電極213及び信号線103A、103B、コモン線105の基板面に対して垂直方向の膜厚よりも厚く形成し、どちらか一方の電極の側壁面が画素電極とコモン電極の間に発生させる電界の制御に用いるようにする。ここでは両方の電極の側壁面で電界を制御する構成を取っている。

20 【0035】ここで図7においては画素電極208及びコモン電極209の長手方向が信号線に対して平行に形成するように図示しているが、ゲート線に対して平行に形成しても良い。

30 【0036】また、各電極、各配線には特に材料の制約はなく、タンタル、クロム、アルミニウム等でもよいが、駆動回路との接続端子部での腐食を考慮すると、対腐食性の強い金属が望ましい。また走査線104は、電気抵抗の低い金属が望ましいので、走査線は2層以上の金属層で構成してもよい。本実施例においては1つの薄膜トランジスタ素子を用いたが、2つ以上の薄膜トランジスタ素子を用いて冗長構成をとってもよい。同様に容量素子も2つ以上用いても構わない。

40 【0037】基板101にはストライプ状のR、G、B3色のカラーフィルタ406を備えた。カラーフィルタ406の上には表面を平坦化する透明樹脂407を積層する。透明樹脂407の材料としてはエポキシ樹脂を用いる。更に、この透明樹脂407上にポリイミド系の配向制御膜407Bを塗布している。

50 【0038】基板102と基板101との間には液晶層210が封入され基板101は基板102に接合を行い液晶層210の厚さ（基板間のギャップ）は画素電極とコモン電極の基板面に対して垂直方向の膜厚dによって決定される。

【0039】図9に図7中のB-B'の断面図を示す。容量素子203は走査線104Bとソース電極214の一部を用いてゲート絶縁膜402を介して形成されている。これらの基板間に誘電率異方性 $\Delta\epsilon$ が正でその値が4.5であり、複屈折 Δn が0.072(589nm, 20℃)のネマチック液晶組成物210を挟む。基板102の表面に塗布したポリイミド系配向制御膜401Aをラビング処理して、3.5度のプレチルト角とする。上下界面上のラビング方向は互いにほぼ平行で、かつ印加

電界方向とのなす角度を85度とする。上下基板のギャップは液晶組成物封入状態で $4.5\mu\text{m}$ とすると、 $\Delta n \cdot d$ は $0.324\mu\text{m}$ となる。2枚の偏光板404A、404Bでパネルを挟み、一方の偏光板の偏光透過軸をラビング方向にほぼ平行(85°)とし、他方をそれに直交(-5°)とする。これにより、ノーマリクローズ特性を得る。このときネマチック液晶組成物210として負の誘電率異方性 $\Delta\epsilon$ をもつものに対しては初期配向状態を画素電極の長手方向にほぼ垂直な方向に配向させることにより使用可能となるが、配向制御膜401Aを画素電極208の長手方向にほぼ垂直な方向にラビングを行うため画素電極及びコモン電極の近傍にラビングむらが生じ、配向不良を起こしやすいために正の誘電率異方性 $\Delta\epsilon$ をもつものを使用し、ラビングは画素電極の長手方向にほぼ平行な方向に行うほうが望ましい。

【0040】図10に画素106の等価回路を示す。TF1211は所定の走査線104Aにゲートパルスが印加されている期間導通状態になりその時所定の信号線103に出力されている映像信号に応じて容量素子203に電荷が蓄積され画素電極とコモン電極間に電界が生じ電界方向に液晶層中の液晶分子がその向きを変える。これにより偏光板を所定の角度に配置することで電界印加によって光透過率を変化させることが可能となる。

【0041】さらにゲートパルスが次の走査線に移るとTF1211は非導通状態になり、つぎに走査を受けるまで容量素子203の蓄積された電荷によって画素電極とコモン電極の電位差が保持され液晶の駆動状態が保たれる。

【0042】【実施例2】本実施例の構成は下記の要件を除けば、実施例1と同一である。

【0043】図11に本実施例の画素の断面図を示す。ソース電極214、ドレイン電極213及び信号線103A、103B、コモン線105を同時に形成した後に窒化シリコン等の保護膜403、ポリイミド系の配向制御膜401Aを形成し、ラビング等の配向処理を行う。配向処理後、ドライエッチング等によりソース電極303及びコモン線105と基板上部と間にコンタクトホールを形成する。その後画素電極208及びコモン電極209を形成する。これにより実施例1のように画素電極及びコモン電極の近傍にラビングむらが生じ、配向不良を起こすことがなくなるため、ラビング方向を自由に設定できる。よって、誘電率異方性 $\Delta\epsilon$ が負の液晶も正のものと同等に使用できる。

【0044】【実施例3】本実施例の構成は下記の要件を除けば実施例2と同一である。

【0045】図12に本実施例の画素の断面図を示す。ソース電極214、ドレイン電極213及び信号線103A、103Bを同時に形成するさいにコモン線105は形成せず、画素電極208及びコモン電極とコモン線を同時に兼ねたコモン電極兼用線220を信号線103Bが配線されている位置に保護膜403、配向制御膜4

01Aを介して信号線103Bを覆うように形成する。さらにコモン電極兼用線220の線幅は信号線103Bの線幅よりも厚く信号線103Bが完全にコモン電極兼用線220の下に隠れるように形成する。これにより信号線から液晶層に発生する電界を防ぎ、かつ信号線とコモン線を配設させる面積が小さくなり画素表示部の領域が広くなることにより光を透過する有効部分(開口部)の面積を増やすことができ、透過率をアップすることができる。また、図13にコモン電極兼用線をパネルに配線したときのパネル端部の一部分の平面図を示す。図に示すように各列毎のコモン電極兼用線220の少なくとも一方の先端は基板101と102を張り合わせるシール材701との間にはコモン電極兼用線を配設しない開口部702を形成する。この開口部702を設けることで、液晶を封入するさいに封入口は一箇所でよく、液晶パネルの製造を安易に行うことができる。

【0046】【実施例4】本実施例の構成は下記の要件を除けば実施例1及び実施例2と同一である。

【0047】図8に本実施例の等価回路を示す。奇数列画素509とそれに隣接する偶数列画素600において、画素509内のコモン電極612と画素600内のコモン電極613を同一のコモン線611に接続し、コモン線611をはさんで奇数列画素509に相対するように偶数列画素600を構成する。これにより実施例1よりもコモン線本数が半分となり、その結果、コモン線を配設させる面積が小さくなり画素表示部の領域が広くなることにより光を透過する有効部分(開口部)の面積を増やすことができ、透過率をアップすることができ、歩留まりが向上する。

【0048】

【発明の効果】以上詳述したように、本発明によれば、表示に使用する画素電極とコモン電極間の全ての液晶分子に対し、選択した同一の電界を印加することができ、低電圧で高コントラストを得ることができる。

【0049】また、液晶を封入している2枚の基板間のギャップを得るのに外部からスペーサを入れる必要がなくなり、スペーサのかたよりによる基板内のギャップムラが解消されることにより、輝度傾斜等の画質不良がなくなり高画質のアクティブマトリクス型液晶表示装置が得られる。更に、低電圧かつ低消費電力のアクティブマトリクス型液晶表示装置も同時に得られる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置における液晶の動作を示す図。

【図2】本発明の画素電極の応用例の平面図を示す図。

【図3】従来の液晶表示装置における液晶の動作を示す図。

【図4】本発明の応用例の液晶の動作を示す図。

【図5】本発明に用いた電極対の斜視図を示す図。

【図6】実施例1の液晶表示装置の概略図。

11

12

【図7】実施例1の画素構成の平面図を示す図。

【図8】実施例1の画素構成のA-A'線における断面図を示す図。

【図9】実施例1の画素構成のB-B'線における断面図を示す図。

【図10】実施例1の画素構成の等価回路を示す図。

【図11】実施例2の画素構成のA-A'線における断面図を示す図。

【図12】実施例3の画素構成のA-A'線における断面図を示す図。

【図13】実施例3のパネル端部の平面の一部を示す図。

【図14】実施例4の画素構成の等価回路を示す図。

【符号の説明】

101, 102…基板、103, 103A, 103B, 609, 610…信号線、104, 104A, 104B, 607, 608…走査線、105, 611…共通線、

106…画素、107…信号駆動回路、108…走査駆動回路、109…共通電圧発生回路、120, 122…配線、202…画素表示部、203…容量素子、208…画素電極、209, 612, 613…共通電極、210…液晶層、211…薄膜トランジスタ、212…ゲート電極、213…ドレイン電極、214…ソース電極、220…共通電極兼用線、301…半導体層、401A, 401B…配向制御膜、402…ゲート絶縁層、403…保護膜、404A, 404B…偏光板、405A, 405B…オーミック層、406…カラーフィルタ、407…透明樹脂、501…液晶分子、502, 512…電界、503, 504, 525…電極側壁面、505, 506, 523, 524, 526…電極上面部、509…奇数列画素、121, 123, 514, 520, 521, 522…電極、600…偶数列画素、701…シール材、702…開口部。

【図1】

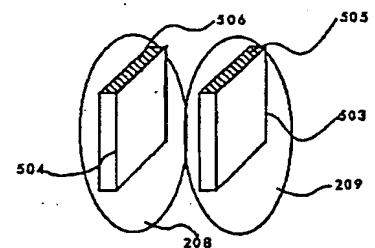
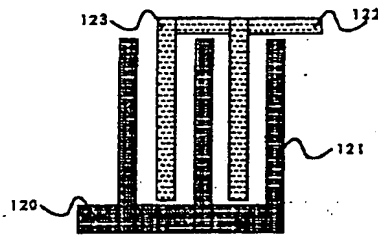
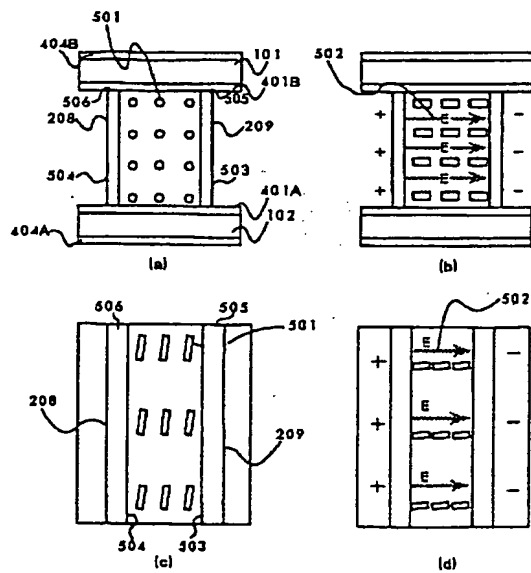
【図2】

【図5】

図 1

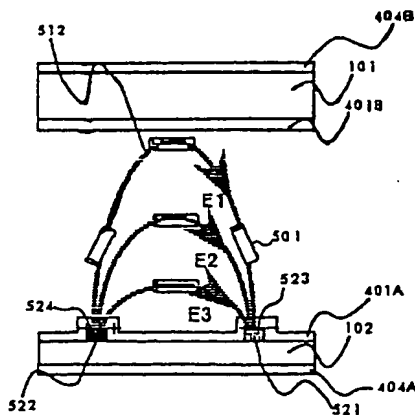
図 2

図 5



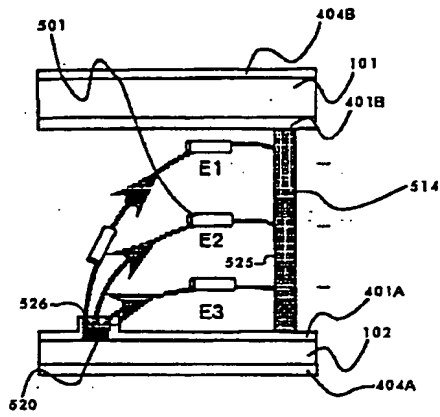
【図3】

図 3



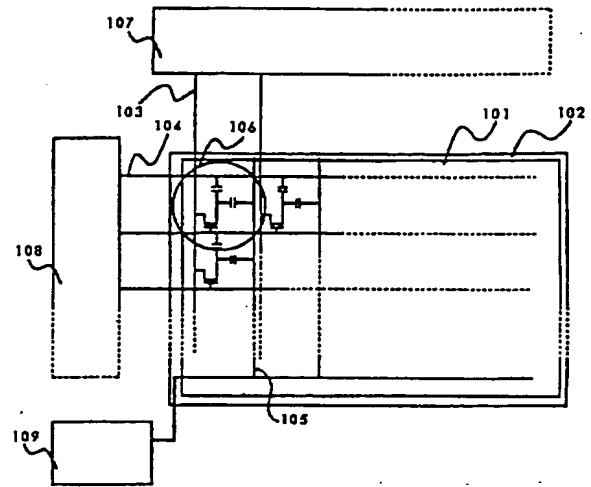
【図4】

図 4



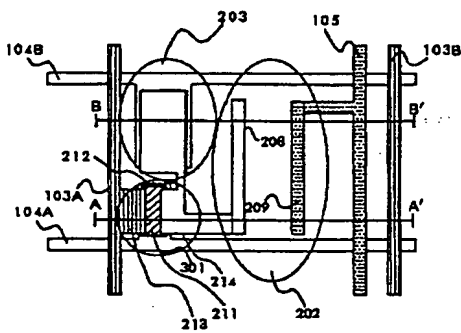
【図6】

図 6



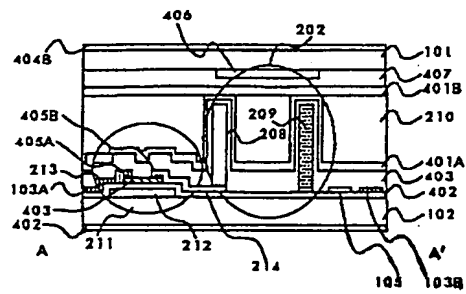
【図7】

図 7



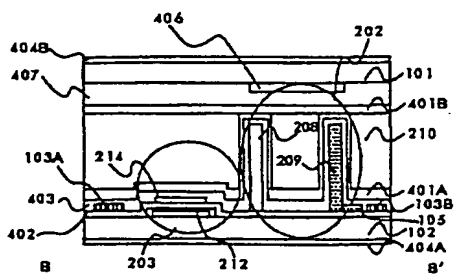
【図8】

図 8



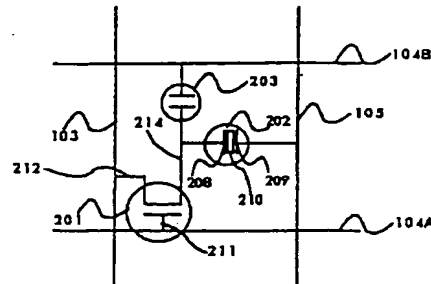
【図9】

図 9



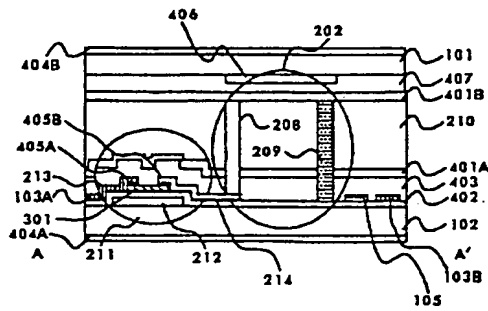
【図10】

図 10



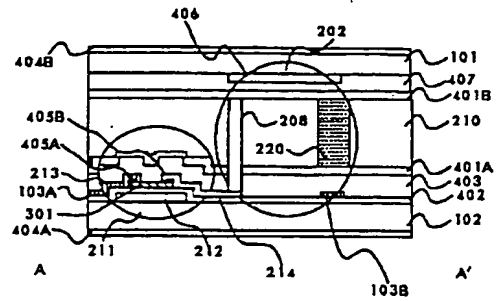
【図11】

図 11



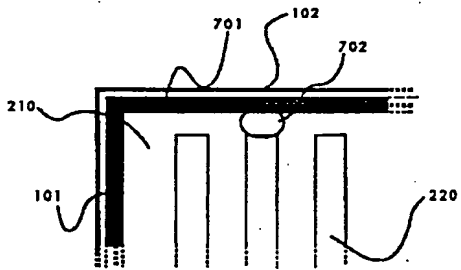
【図12】

図 12



【図13】

図 13



【図14】

図 14

